



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0026850
Application Number

출원 년 월 일 : 2003년 04월 28일
Date of Application APR 28, 2003

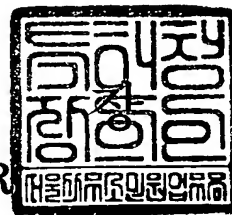
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.28
【발명의 명칭】	반도체 장치의 내부 전압 발생회로
【발명의 영문명칭】	Internal voltage generator of semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, JUNG BAE
【주민등록번호】	670227-1046533
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 523-302
【국적】	KR
【발명자】	
【성명의 국문표기】	김규현
【성명의 영문표기】	KIM, KYU HYOUN
【주민등록번호】	720520-1787539
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 한신아파트 811동 606호
【국적】	KR
【발명자】	
【성명의 국문표기】	정진경
【성명의 영문표기】	JUNG, JIN KYOUNG
【주민등록번호】	750124-2120829
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 황골마을아파트 131동 1902호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	29	항	1,037,000 원
【합계】	1,075,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 장치의 내부 전압 발생회로를 공개한다. 이 회로는 데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생회로, 제어신호가 비활성화되면 기준전압과 내부 전압을 비교하여 구동신호를 출력하고 제어신호가 활성화되면 디스에이블되는 비교회로, 제어신호가 활성화되면 구동신호를 비활성화하는 구동신호 제어회로, 및 외부 전원전압을 입력하고 구동신호에 응답하여 내부 전압을 발생하는 내부 전압 구동회로로 구성되어 있다. 따라서, 반도체 장치의 데이터 입력 및/또는 출력 비트수에 따라 내부 전압을 기준전압 레벨로 만들거나, 내부 전압을 외부 전원전압 레벨로 만드는 것이 가능하며, 데이터 입력 및/또는 출력 비트수가 많아지는 경우에 데이터 액세스 속도를 개선할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

반도체 장치의 내부 전압 발생회로{Internal voltage generator of semiconductor device}

【도면의 간단한 설명】

도1은 종래의 내부 전압 발생회로의 일예의 구성을 나타내는 것이다.

도2는 본 발명의 내부 전압 발생회로의 제1실시예의 구성을 나타내는 것이다.

도3은 본 발명의 내부 전압 발생회로의 제2실시예의 구성을 나타내는 것이다.

도4는 본 발명의 내부 전압 발생회로의 제3실시예의 구성을 나타내는 것이다.

도5는 본 발명의 내부 전압 발생회로의 제4실시예의 구성을 나타내는 것이다.

도6은 본 발명의 제어신호 발생회로의 제1실시예의 구성을 나타내는 것이다.

도7은 본 발명의 제어신호 발생회로의 제2실시예의 구성을 나타내는 것이다.

도8은 본 발명의 제어신호 발생회로의 제3실시예의 구성을 나타내는 것이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 장치에 관한 것으로, 특히 반도체 메모리 장치와 같이 데이터를 입/출력하는 반도체 장치의 내부 전압 발생회로에 관한 것이다.

<10> 일반적인 반도체 메모리 장치의 내부 전압 발생회로는 메모리 셀 어레이를 위한 내부 전압 발생회로, 메모리 셀 어레이의 주변 회로, 예를 들면, 데이터 입출력회로 및 데

이터 입출력 제어회로를 위한 내부 전압 발생회로로 구성된다. 그리고, DDR(Double Data Rate) 및 램버스(RAMBUS) 반도체 메모리 장치의 내부 전압 발생회로는 지연 동기 루프(DLL; Delay Locked Loop)를 위한 내부 전압 발생회로를 추가적으로 구비하여 구성된다.

- <11> 반도체 메모리 장치의 내부 전압 발생회로는 외부 전원전압을 입력하고 메모리 셀 어레이를 위한 기준전압/주변 회로를 위한 기준전압/지연 동기 루프를 위한 기준전압과 메모리 셀 어레이를 위한 내부 전압/주변 회로를 위한 내부 전압/지연 동기 루프를 위한 내부 전압을 비교하여 메모리 셀 어레이를 위한 기준전압/주변 회로를 위한 기준전압/지연 동기 루프를 위한 기준전압 레벨의 내부 전압을 발생한다.
- <12> 도1은 종래의 내부 전압 발생회로의 일예의 구성을 나타내는 것으로, 비교기(10) 및 드라이버(D)로 구성되어 있다. 그리고, 드라이버(D)는 PMOS트랜지스터(P)로 구성되어 있다.
- <13> 도1에 나타난 내부 전압 발생회로의 동작을 설명하면 다음과 같다.
- <14> 비교기(10)는 외부 전원전압(EVC)을 전원전압으로 하여, 기준전압(VREF)과 내부 전압(IVC)을 비교하여, 내부 전압(IVC)이 기준전압(VREF)보다 높으면 노드(A)의 레벨을 높이고, 낮으면 노드(A)의 레벨을 낮춘다. PMOS트랜지스터(P)는 노드(A)의 레벨이 높아지면 구동능력이 향상되고, 낮아지면 구동능력이 떨어지게 됨으로써 내부 전압(IVC)을 기준전압(VREF)으로 유지한다.
- <15> 메모리 셀 어레이를 위한 내부 전압 발생회로, 주변 회로를 위한 내부 전압 발생회로, 및 지연 동기 루프를 위한 내부 전압 발생회로 각각은 도1에 나타난 내부 전압 발생

회로와 동일하게 구성된다. 그리고, 내부 전압(IVC)은 외부 전원전압(EVC)보다 낮은 레벨로 설정된다.

<16> 상술한 바와 같이 종래의 반도체 메모리 장치의 내부 전압 발생회로는 데이터 입출력 비트수에 무관하게 항상 일정한 내부 전압을 발생한다. 그런데, 데이터 입출력 비트수가 증가함에 따라 메모리 셀 어레이를 위한 내부 전압의 레벨 강하는 발생되지 않으나, 주변 회로 및/또는 지연 동기 루프를 위한 내부 전압의 레벨 강하가 발생되게 된다. 이에 따라 데이터 액세스 속도가 떨어지게 된다는 문제점이 있었다.

<17> 즉, 메모리 셀 어레이를 위한 내부 전압은 PMOS 비트 라인 센스 증폭기들로 인가되어 비트 라인쌍들의 데이터를 증폭하기 위하여 사용되는데 데이터 입출력 비트수의 증가에 따라 동작을 수행하는 PMOS 비트 라인 센스 증폭기들의 수가 증가하는 것은 아니다. 따라서, 데이터 입출력 비트수의 증가에 따른 메모리 셀 어레이를 위한 내부 전압의 강하는 발생하지 않는다. 그러나, 주변 회로 및/또는 지연 동기 루프를 위한 내부 전압은 데이터 입출력 비트수의 증가에 따라 동작을 수행하는 회로 소자가 증가하게 됨으로 인해서 강하되게 된다. 이에 따라, 데이터 액세스 속도가 떨어지게 된다.

<18> 결과적으로, 종래의 반도체 메모리 장치의 주변 회로 및/또는 지연 동기 루프를 위한 내부 전압 발생회로는 데이터 입출력 비트수의 증가에 관계없이 일정한 내부 전압을 발생하도록 구성되어 있었기 때문에 데이터 입출력 비트수가 많아지는 경우에 데이터 액세스 속도가 떨어지게 된다는 문제점이 있었다.

<19> 종래의 내부 전압 발생회로의 문제점을 반도체 메모리 장치를 이용하여 설명하였으나, 이와같은 문제는 데이터를 입/출력하는 모든 반도체 장치에서 나타날 수 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 목적은 데이터 입/출력 비트수가 많아지는 경우에 내부 전압의 레벨을 증가함으로써 데이터 액세스 속도를 개선할 수 있는 반도체 장치의 내부 전압 발생회로를 제공하는데 있다.

【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위한 본 발명의 반도체 장치의 내부 전압 발생회로의 제1형태는 데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단, 상기 제어신호가 비활성화되면 기준전압과 내부 전압을 비교하여 구동신호를 출력하는 비교수단, 상기 제어신호가 활성화되면 상기 구동신호를 비활성화하는 구동신호 제어수단, 및 외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 내부 전압을 발생하는 내부 전압 구동수단을 구비하는 것을 특징으로 한다.

<22> 상기 목적을 달성하기 위한 본 발명의 반도체 장치의 내부 전압 발생회로의 제2형태는 데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단, 기준전압과 내부 전압을 비교하여 비교신호를 발생하는 비교수단, 상기 제어신호가 비활성화되면 상기 비교신호를 구동신호로 전송하는 스위칭 수단, 상기 제어신호가 활성화되면 상기 구동신호를 비활성화하는 구동신호 제어수단, 및 외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 내부 전압을 발생하는 내부 전압 구동수단을 구비하는 것을 특징으로 한다.

<23> 상기 제1 내지 제2형태의 내부 전압 발생회로의 상기 구동신호 제어수단은 상기 구동신호를 발생하는 구동신호 발생단자에 연결된 드레인과 상기 제어신호가 인가되는 게

이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터를 구비하는 것을 특징으로 하고,

<24> 상기 내부 전압 구동수단은 상기 외부 전원전압이 인가되는 소스와 상기 구동신호가 인가되는 게이트와 상기 내부 전압을 발생하는 내부 전압 발생단자에 연결된 드레인을 가지는 PMOS트랜지스터를 구비하고, 상기 PMOS트랜지스터는 상기 구동신호에 응답하여 상기 내부 전압을 상기 기준전압 레벨로 만들고, 상기 구동신호가 비활성화되면 상기 내부 전압을 상기 외부 전원전압 레벨로 만드는 것을 특징으로 한다.

<25> 상기 목적을 달성하기 위한 본 발명의 반도체 장치의 내부 전압 발생회로의 제3형태는 데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단, 기준전압과 내부 전압을 입력하여 내부 전압을 기준전압 레벨로 만드는 제1내부 전압 발생수단, 외부 전원전압을 입력하여 내부 전압을 상기 외부 전원전압 레벨로 만드는 제2내부 전압 발생수단, 상기 제어신호가 비활성화되면 상기 제1내부 전압 발생수단으로 상기 외부 전원전압을 공급하는 제1스위칭 수단, 및 상기 제어신호가 활성화되면 상기 제2내부 전압 발생수단으로 상기 외부 전원전압을 공급하는 제2스위칭 수단을 구비하는 것을 특징으로 한다.

<26> 상기 목적을 달성하기 위한 본 발명의 반도체 장치의 내부 전압 발생회로의 제4형태는 제1기준전압과 제1내부 전압을 비교하여 상기 제1내부 전압을 제1기준전압 레벨로 만드는 제1내부 전압 발생수단, 제어신호에 응답하여 제2기준전압과 제2내부 전압을 비교하여 상기 제2내부 전압을 상기 제2기준전압 레벨로 만들거나, 상기 제2내부 전압을 외부 전원전압 레벨로 만드는 제2내부 전압 발생수단, 및 데이터 비트수에 따라 상기 제어신호를 발생하는 제어신호 발생수단을 구비하는 것을 특징으로 한다.

- <27> 상기 제1 내지 제4형태의 반도체 장치의 상기 제어신호 발생수단은 퓨즈 옵션, 또는 본딩 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하거나, 모드 설정 명령과 함께 모드 설정 신호를 입력함에 의해서 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 한다.
- <28> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <29> 이하, 첨부한 도면을 참조하여 본 발명의 반도체 장치의 내부 전압 발생회로를 설명하면 다음과 같다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <30> 도2는 본 발명의 내부 전압 발생회로의 제1실시예의 구성을 나타내는 것으로, 도1에 나타난 구성에 제어신호 발생회로(20), 구동 제어회로(22), 및 비교기 제어회로(24)를 추가하여 구성되어 있다. 구동 제어회로(22)는 NMOS트랜지스터(N1)로 구성되고, 비교기 제어회로(24)는 PMOS트랜지스터(P1)로 구성되어 있다.
- <31> 도2에 나타난 구성의 동작을 설명하면 다음과 같다.
- <32> 제어신호 발생회로(20)는 동시에 입출력 되는 데이터 비트수가 소정 비트수(예를 들면, 38비트)이상인 경우에 "하이"레벨의 제어신호(C)를 발생하고, 소정 비트수(예를 들면, 18비트)이하인 경우에 "로우"레벨의 제어신호(C)를 발생한다. "로우"레벨의 제어신호(C)가 발생되면 PMOS트랜지스터(P1)가 온되고, NMOS트랜지스터(N1)가 오프된다. 그러면, 비교기(10) 및 PMOS트랜지스터(P)는 도1의 설명에서와 동일한 동작을 수행한다. 즉, 내부 전압(IVC) 레벨을 기준전압(VREF) 레벨로 만든다. 반면에, "하이"레벨의 제어신호

(C)가 발생되면, PMOS트랜지스터(P1)가 오프되고 NMOS트랜지스터(N1)가 온된다. 그러면, 비교기(10)로 인가되는 외부 전원전압(EVC)의 공급이 차단되어 비교기(10)의 동작이 디스에이블되고, 노드(A)는 "로우"레벨로 떨어지게 된다. 그러면, PMOS트랜지스터(P)가 온되어 내부 전압(IVC)을 외부 전원전압(EVC) 레벨로 만든다.

<33> 도3은 본 발명의 내부 전압 발생회로의 제2실시예의 구성을 나타내는 것으로, 도2에 나타난 내부 전압 발생회로의 비교기 제어회로(25)에 NMOS트랜지스터(N2) 및 인버터(I1)를 추가하여 구성되어 있다.

<34> 도3에 나타난 내부 전압 발생회로는 도2에 나타난 내부 전압 발생회로와 동일한 동작을 수행한다. 단지, "하이"레벨의 제어신호(C)가 발생하는 경우에 PMOS트랜지스터(P1)와 NMOS트랜지스터(N2)를 모두 오프함으로써 비교기(10)로 인가되는 외부 전원전압(EVC)과 접지전압을 모두 차단하여 비교기(10)의 동작을 디스에이블하는 것이 상이하하다.

<35> 상술한 바와 같이 도2 및 도3에 나타난 본 발명의 내부 전압 발생회로는 데이터 입출력 비트수에 따라 제어신호(C)의 상태를 변경함으로써, 내부 전압(IVC)을 기준전압(VREF) 레벨로 만들거나, 외부 전원전압(EVC) 레벨로 만드는 것이 가능하다. 즉, 도2 및 도3에 나타난 내부 전압 발생회로는 제어신호(C)가 "로우"레벨로 설정되면 비교기(10)의 동작을 인에이블하고, 구동 제어회로(22)의 동작을 디스에이블하여 내부 전압(IVC)을 기준전압(VREF) 레벨로 만들고, 제어신호(C)가 "하이"레벨로 설정되면 비교기(10)의 동작을 디스에이블하고, 구동 제어회로(22)의 동작을 인에이블하여 내부 전압(IVC)을 외부 전원전압(EVC) 레벨로 만든다.

<36> 도4는 본 발명의 내부 전압 발생회로의 제3실시예의 구성을 나타내는 것으로, 도1에 나타난 내부 전압 발생회로에 제어신호 발생회로(20), 구동 제어회로(22), 및 스위칭 회로(30)를 추가하여 구성되어 있다. 구동 제어회로(22)는 NMOS트랜지스터(N1)로 구성되고, 스위칭 회로(30)는 CMOS전송 게이트(C1)와 인버터(I2)로 구성되어 있다.

<37> 도4에 나타난 회로의 동작을 설명하면 다음과 같다.

<38> 제어신호 발생회로(20)는 도2에 나타난 제어신호 발생회로(20)와 마찬가지로 데이터 입출력 비트수에 따라 제어신호(C)의 상태가 결정되어 "로우"레벨 또는 "하이"레벨의 제어신호(C)를 발생한다. "로우"레벨의 제어신호(C)가 발생되면 NMOS트랜지스터(N1)가 오프되고, 인버터(I2)는 "로우"레벨의 제어신호(C)를 반전하여 "하이"레벨의 신호를 발생하고, 이에 따라, CMOS전송 게이트(C1)가 온된다. 그러면, 내부 전압 발생회로는 도1에 나타난 내부 전압 발생회로와 동일한 동작을 수행한다. 반면에, "하이"레벨의 제어신호(C)가 발생되면 NMOS트랜지스터(N1)가 온되고, 인버터(I2)는 "하이"레벨의 제어신호(C)를 반전하여 "로우"레벨의 신호를 발생한다. 이에 따라 CMOS전송 게이트(C1)는 오프된다. 그러면, 비교기(10)의 출력신호가 전송되지 않게 되며, 노드(A)는 접지전압 레벨로 떨어지게 된다. PMOS트랜지스터(P)는 노드(A)의 접지전압 레벨에 응답하여 내부 전압(IVC)을 외부 전원전압(EVC)레벨로 만든다.

<39> 도5는 본 발명의 내부 전압 발생회로의 제4실시예의 구성을 나타내는 것으로, 도1에 나타난 내부 전압 발생회로에 제어신호 발생회로(20), 스위칭 회로(40), 및 드라이버(D')를 추가하여 구성되어 있다. 드라이버(D')는 PMOS트랜지스터(P')로 구성되고, 스위칭 회로(40)는 인버터들(I3, I4), 및 CMOS전송 게이트들(C2, C3)로 구성되어 있다.

<40> 도5에 나타난 회로의 동작을 설명하면 다음과 같다.

<41> 제어신호 발생회로(20)는 도2에 나타난 제어신호 발생회로(20)와 마찬가지로 데이터 입출력 비트수에 따라 제어신호(C)의 상태가 결정되어 "로우"레벨 또는 "하이"레벨의 제어신호(C)를 발생한다. "로우"레벨의 제어신호(C)가 발생되면 인버터들(I3, I4)은 "로우"레벨의 제어신호(C)를 반전하여 "하이"레벨의 신호를 발생한다. 이에 따라, CMOS전송 게이트(C2)는 온되고, CMOS전송 게이트(C3)는 오프된다. 그러면, 비교기(10) 및 PMOS트랜지스터(P)로 외부 전원전압(EVC)이 공급되고, PMOS트랜지스터(P')로는 외부 전원전압(EVC)이 공급되지 않게 된다. 이에 따라, PMOS트랜지스터(P')는 동작을 수행하지 않게 되고, 비교기(10) 및 PMOS트랜지스터(P)가 도1에 나타난 내부 전압 발생회로와 동일한 동작을 수행하여 내부 전압(IVC)을 기준전압(VREF) 레벨로 만든다. 반면에, "하이"레벨의 제어신호(C)가 발생되면 인버터들(I3, I4)은 "하이"레벨의 제어신호(C)를 반전하여 "로우"레벨의 신호를 발생한다. 이에 따라, CMOS전송 게이트(C2)는 오프되고, CMOS전송 게이트(C3)는 온된다. 그러면, 비교기(10) 및 PMOS트랜지스터(P)로 외부 전원전압(EVC)이 공급되지 않게 되고, PMOS트랜지스터(P')로 외부 전원전압(EVC)이 공급되게 된다. 그러면, 비교기(10) 및 PMOS트랜지스터(P)가 동작을 수행하지 않게 되고, PMOS트랜지스터(P')가 동작을 수행하여 내부 전압(IVC)을 외부 전원전압(EVC) 레벨로 만든다.

<42> 도4 및 도5에 나타난 내부 전압 발생회로 또한, 도2 및 도3에 나타난 내부 전압 발생회로와 마찬가지로, 제어신호 발생회로(20)로부터 출력되는 제어신호(C)의 상태를 변경함에 의해서 내부 전압(IVC)을 기준전압(VREF) 레벨로 만들거나, 외부 전원전압(EVC) 레벨로 만드는 것이 가능하다.

- <43> 도6은 본 발명의 제어신호 발생회로의 제1실시예의 구성을 나타내는 것으로, PMOS 트랜지스터들(P2, P3), 퓨즈(F), NMOS트랜지스터(N3), 및 인버터들(I5, I6)로 구성되어 있다.
- <44> 도6에서, 파워 업 신호(VCCH)는 전원전압이 인가되면 "로우"레벨을 유지하다가 전원전압이 소정 전압이상이 되면 "하이"레벨로 천이하는 신호이다. 그리고, PMOS트랜지스터들(P2, P3)의 소스로 내부 전원전압(IVC)이 인가되어 구성되어 있다.
- <45> 도6에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <46> 퓨즈(F)가 컷팅되지 않은 상태에서, "로우"레벨의 파워 업 신호(VCCH)가 인가되면 PMOS트랜지스터(P2)가 온되고 NMOS트랜지스터(N3)가 오프되어, 노드(B)로 "하이"레벨의 신호를 전송한다. 인버터(I5)는 노드(B)의 "하이"레벨의 신호를 반전하여 "로우"레벨의 신호를 발생하고, 인버터(I6)는 인버터(I5)의 출력신호를 반전하여 "하이"레벨의 제어신호(C)를 발생한다. PMOS트랜지스터(P3)는 인버터(I4)의 출력신호에 응답하여 온되어 노드(B)의 "하이"레벨의 신호를 래치한다. 파워 업 신호(VCCH)가 "하이"레벨로 천이하면 PMOS트랜지스터(P2)가 오프되고 NMOS트랜지스터(N3)가 온된다. 따라서, 노드(B)의 레벨이 "하이"레벨에서 "로우"레벨로 천이된다. 인버터(I5)는 "로우"레벨의 신호를 반전하여 "하이"레벨의 신호를 발생하고, 인버터(I6)는 "하이"레벨의 신호를 반전하여 "로우"레벨의 제어신호(C)를 발생한다. PMOS트랜지스터(P3)는 인버터(I5)의 출력신호에 응답하여 오프된다. 즉, 퓨즈(F)가 컷팅되지 않으면 "하이"레벨로 된 후 "로우"레벨을 유지하는 제어신호(C)를 발생한다.

- <47> 반면에, 퓨즈(F)가 컷팅된 상태에서, "로우"레벨의 파워 업 신호(VCCH)가 인가되면 퓨즈(F)가 컷팅되지 않은 상태와 동일한 동작을 수행하여 "하이"레벨의 제어신호(C)를 발생한다. 파워 업 신호(VCCH)가 "하이"레벨로 천이하면, PMOS트랜지스터(P2)가 오프되고, NMOS트랜지스터(N3)가 온된다. 그러나, 퓨즈(F)가 컷팅되어 있으므로 노드(B)의 레벨은 "하이"레벨을 유지한다. 이에 따라, PMOS트랜지스터(P3)와 인버터(I5)에 의해서 래치된 신호가 계속적으로 발생됨으로써 "하이"레벨의 제어신호(C)가 발생된다. 즉, 퓨즈(F)가 컷팅되면 "하이"레벨의 제어신호(C)를 발생한다.
- <48> 상술한 바와 같이 도6에 나타난 제어신호 발생회로는 퓨즈 옵션을 이용하여 제어신호(C)를 "하이"레벨 또는 "로우"레벨로 고정한다.
- <49> 도7은 본 발명의 제어신호 발생회로의 제2실시예의 구성을 나타내는 것으로, 제어신호 패드(PAD), 및 인버터(I6)로 구성되어 있다.
- <50> 도7에 나타난 제어신호 발생회로의 동작을 설명하면 다음과 같다.
- <51> 제어신호 패드(PAD)를 전원전압 패드(미도시)와 연결하면 전원전압이 인가되는 경우에 패드(PAD)로 전원전압이 인가되고, 인버터(I7)는 "하이"레벨의 신호를 반전하여 "로우"레벨의 제어신호(C)를 발생한다.
- <52> 반면에, 제어신호 패드(PAD)를 접지전압 패드(미도시)와 연결하면 접지전압이 인가되는 경우에 패드(PAD)로 접지전압이 인가되고, 인버터(I7)는 "로우"레벨의 신호를 반전하여 "하이"레벨의 제어신호(C)를 발생한다.
- <53> 이때, 제어신호 패드(PAD)와 전원전압 패드 또는 접지전압 패드를 와이어 또는 메탈 라인으로 연결하는 것이 가능하다.

- <54> 도7에 나타낸 제어신호 발생회로는 와이어 본딩 또는 메탈 옵션을 이용하여 제어신호(C)를 "하이"레벨 또는 "로우"레벨로 고정한다.
- <55> 도8은 본 발명의 제어신호 발생회로의 제3실시예의 구성을 나타내는 것으로, 모드 설정 회로(50)로 구성되어 있다.
- <56> 도8에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <57> 모드 설정 회로(50)는 일반적인 반도체 메모리 장치의 모드를 설정하기 위한 명령어(COM)(예를 들면, "로우"레벨의 반전 칩 선택신호(CSB) 반전 로우 어드레스 스트로우브 신호(RASB), 반전 컬럼 어드레스 스트로우브 신호(CASB), 및 반전 라이트 인에이블 신호(WEB))가 인가되면 외부로부터 인가되는 모드 설정 코드(IN)를 입력하고 조합하여 제어신호(C)를 발생한다. 즉, 모드 설정 코드에 따라 "하이"레벨 또는 "로우"레벨의 제어신호(C)를 발생한다.
- <58> 도8에 나타낸 제어신호 발생회로는 모드 설정 회로를 이용하여 제어신호(C)를 "하이"레벨 또는 "로우"레벨로 설정한다.
- <59> 도6 및 도7에 나타낸 제어신호 발생회로는 웨이퍼 상태에서 데이터 입출력 비트수에 따라 제어신호(C)의 상태를 "하이"레벨 또는 "로우"레벨로 고정하지만, 도8에 나타낸 제어신호 발생회로는 웨이퍼 상태뿐만 아니라 패키지 상태에서도 데이터 입출력 비트수에 따라 제어신호(C)를 "하이"레벨 또는 "로우"레벨로 설정하는 것이 가능하다.
- <60> 본 발명의 내부 전압 발생회로를 반도체 메모리 장치의 주변 회로 및/또는 지연 동기 루프를 위한 내부 전압 발생회로로 사용하고, 제어신호를 활성화 상태로 설정하게 되면, 데이터 입출력 비트수가 많아지는 경우에도 주변 회로 및/또는 지연 동기 루프를 위

한 내부 전압의 레벨 강하가 발생하지 않게 된다. 이에 따라, 데이터 액세스 속도가 개선될 수 있다. 또한, 본 발명의 내부 전압 발생회로는 경우에 따라서는 반도체 메모리 장치의 메모리 셀 어레이를 위한 내부 전압 발생회로로도 사용할 수 있다.

<61> 그리고, 본 발명의 내부 전압 발생회로는 반도체 메모리 장치뿐만아니라, 데이터를 입력 및/또는 출력하는 다른 모든 반도체 장치에 적용가능하다.

<62> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<63> 본 발명의 반도체 장치의 내부 전압 발생회로는 데이터 입력 및/또는 출력 비트수에 따라 내부 전압을 기준전압 레벨로 만들거나, 내부 전압을 외부 전원전압 레벨로 만드는 것이 가능하다.

<64> 따라서, 데이터 입력 및/또는 출력 비트수가 많은 경우에 내부 전압의 레벨이 떨어지지 않게 됨으로써 데이터 액세스 속도가 개선된다.

【특허청구범위】

【청구항 1】

데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단;

상기 제어신호가 비활성화되면 기준전압과 내부 전압을 비교하여 구동신호를 출력하는 비교수단;

상기 제어신호가 활성화되면 상기 구동신호를 비활성화하는 구동신호 제어수단; 및

외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 내부 전압을 발생하는 내부 전압 구동수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 2】

제1항에 있어서, 상기 구동신호 제어수단은

상기 구동신호를 발생하는 구동신호 발생단자에 연결된 드레인과 상기 제어신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 3】

제1항에 있어서, 상기 내부 전압 구동수단은

상기 외부 전원전압이 인가되는 소스와 상기 구동신호가 인가되는 게이트와 상기 내부 전압을 발생하는 내부 전압 발생단자에 연결된 드레인을 가지는 PMOS트랜지스터를 구비하고,

상기 PMOS트랜지스터는 상기 구동신호에 응답하여 상기 내부 전압을 상기 기준전압 레벨로 만들고, 상기 구동신호가 비활성화되면 상기 내부 전압을 상기 외부 전원전압 레벨로 만드는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 4】

제1항에 있어서, 상기 비교수단은

제 1노드와 접지전압사이에 연결되어 상기 기준전압과 상기 내부 전압을 비교하여 상기 구동신호를 발생하는 비교기; 및

상기 외부 전원전압과 상기 제1노드사이에 연결되고 상기 제어신호가 활성화되면 상기 비교기로 공급되는 상기 외부 전원전압을 차단하는 스위칭 회로를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 5】

제1항에 있어서, 상기 비교수단은

제 1노드와 제2노드사이에 연결되어 상기 기준전압과 상기 내부 전압을 비교하여 상기 구동신호를 발생하는 비교기;

상기 외부 전원전압과 상기 제1노드사이에 연결되고 상기 제어신호가 활성화되면 상기 비교기로 공급되는 상기 외부 전원전압을 차단하는 제1스위칭 회로; 및

상기 제2노드와 접지전압사이에 연결되고 상기 제어신호가 활성화되면 상기 비교기로 공급되는 접지전압을 차단하는 제2스위칭 회로를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 6】

제1항에 있어서, 상기 비교수단은

상기 외부 전원전압과 제1노드에 연결되어 상기 기준전압과 상기 내부 전압을 비교하여 상기 구동신호를 발생하는 비교기; 및

상기 제1노드와 접지전압사이에 연결되고 상기 제어신호가 활성화되면 상기 비교기로 공급되는 상기 접지전압을 차단하는 스위칭 회로를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 7】

제1항에 있어서, 상기 제어신호 발생수단은

퓨즈 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 8】

제1항에 있어서, 상기 제어신호 발생수단은

본딩 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 9】

제1항에 있어서, 상기 제어신호 발생수단은

모드 설정 명령과 함께 모드 설정 신호를 입력함에 의해서 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 10】

데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단;

기준전압과 내부 전압을 비교하여 비교신호를 발생하는 비교수단;

상기 제어신호가 비활성화되면 상기 비교신호를 구동신호로 전송하는 스위칭 수단

;

상기 제어신호가 활성화되면 상기 구동신호를 비활성화하는 구동신호 제어수단; 및

외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 내부 전압을 발생하는

내부 전압 구동수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 11】

제10항에 있어서, 상기 구동신호 제어수단은

상기 구동신호를 발생하는 구동신호 발생단자에 연결된 드레인과 상기 제어신호가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 12】

제10항에 있어서, 상기 내부 전압 구동수단은

상기 외부 전원전압이 인가되는 소스와 상기 구동신호가 인가되는 게이트와 상기 내부 전압을 발생하는 내부 전압 발생단자에 연결된 드레인을 가지는 PMOS트랜지스터를 구비하고,

상기 PMOS트랜지스터는 상기 구동신호에 응답하여 상기 내부 전압을 상기 기준전압 레벨로 만들고, 상기 구동신호가 비활성화되면 상기 내부 전압을 상기 외부 전원전압 레벨로 만드는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 13】

제10항에 있어서, 상기 스위칭 수단은

상기 제어신호가 비활성화되면 상기 비교신호를 상기 구동신호로 전송하는 CMOS전송 게이트로 구성된 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 14】

제10항에 있어서, 상기 제어신호 발생수단은

퓨즈 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 15】

제10항에 있어서, 상기 제어신호 발생수단은

본딩 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 16】

제10항에 있어서, 상기 제어신호 발생수단은

모드 설정 명령과 함께 모드 설정 신호를 입력함에 의해서 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 17】

데이터 비트수에 따른 제어신호를 발생하는 제어신호 발생수단;

기준전압과 내부 전압을 입력하여 내부 전압을 기준전압 레벨로 만드는 제1내부 전압 발생수단;

외부 전원전압을 입력하여 내부 전압을 상기 외부 전원전압 레벨로 만드는 제2내부 전압 발생수단;

상기 제어신호가 비활성화되면 상기 제1내부 전압 발생수단으로 상기 외부 전원전압을 공급하는 제1스위칭 수단; 및

상기 제어신호가 활성화되면 상기 제2내부 전압 발생수단으로 상기 외부 전원전압을 공급하는 제2스위칭 수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 18】

제17항에 있어서, 상기 제1스위칭 수단은

상기 제어신호가 비활성화되면 상기 외부 전원전압을 상기 제1내부 전압 발생수단으로 공급하는 CMOS전송 게이트를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 19】

제17항에 있어서, 상기 제2스위칭 수단은

상기 제어신호가 활성화되면 상기 외부 전원전압을 상기 제2내부 전압 발생수단으로 공급하는 CMOS전송 게이트를 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 20】

제17항에 있어서, 상기 제어신호 발생수단은

퓨즈 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 21】

제17항에 있어서, 상기 제어신호 발생수단은

본딩 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 22】

제17항에 있어서, 상기 제어신호 발생수단은

모드 설정 명령과 함께 모드 설정 신호를 입력함에 의해서 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 23】

제1기준전압과 제1내부 전압을 비교하여 상기 제1내부 전압을 제1기준전압 레벨로 만드는 제1내부 전압 발생수단;

제어신호에 응답하여 제2기준전압과 제2내부 전압을 비교하여 상기 제2내부 전압을 상기 제2기준전압 레벨로 만들거나, 상기 제2내부 전압을 외부 전원전압 레벨로 만드는 제2내부 전압 발생수단; 및

데이터 비트수에 따라 상기 제어신호를 발생하는 제어신호 발생수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 24】

제23항에 있어서, 상기 제2내부 전압 발생수단은

상기 제어신호가 비활성화되면 상기 제2기준전압과 상기 제2내부 전압을 비교하여 구동신호를 출력하고 상기 제어신호가 활성화되면 디스에이블되는 비교수단;

상기 외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 제2내부 전압을 출력하는 내부 전압 구동수단; 및

상기 제어신호가 활성화되면 상기 구동신호를 비활성화하고, 상기 제어신호가 비활성화되면 디스에이블되는 구동신호 제어수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 25】

제23항에 있어서, 상기 제2내부 전압 발생수단은

상기 제2기준전압과 상기 제2내부 전압을 비교하여 비교신호를 발생하는 비교수단;

상기 제어신호가 비활성화되면 상기 비교신호를 구동신호로 전송하는 스위칭 수단;

상기 제어신호가 활성화되면 상기 구동신호를 비활성화하는 구동신호 제어수단;
및

외부 전원전압을 입력하고 상기 구동신호에 응답하여 상기 내부 전압을 발생하는
내부 전압 구동수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【청구항 26】

제23항에 있어서, 상기 제2내부 전압 발생수단은

상기 제2기준전압과 상기 제2내부 전압을 입력하여 상기 제2내부 전압을 기준전압
레벨로 만드는 제1내부 전압 발생회로;

외부 전원전압을 입력하여 상기 제2내부 전압을 상기 외부 전원전압 레벨로 만드는
제2내부 전압 발생회로;

상기 제어신호가 비활성화되면 상기 제1내부 전압 발생회로로 상기 외부 전원전압
을 공급하는 제1스위칭 수단; 및

상기 제어신호가 활성화되면 상기 제2내부 전압 발생회로로 상기 외부 전원전압을
공급하는 제2스위칭 수단을 구비하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생
회로.

【청구항 27】

제23항에 있어서, 상기 제어신호 발생수단은

퓨즈 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로
하는 반도체 장치의 내부 전압 발생회로.

【청구항 28】

제23항에 있어서, 상기 제어신호 발생수단은

본딩 옵션을 사용하여 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

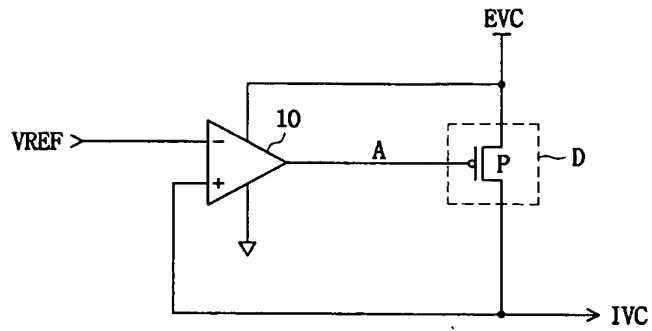
【청구항 29】

제23항에 있어서, 상기 제어신호 발생수단은

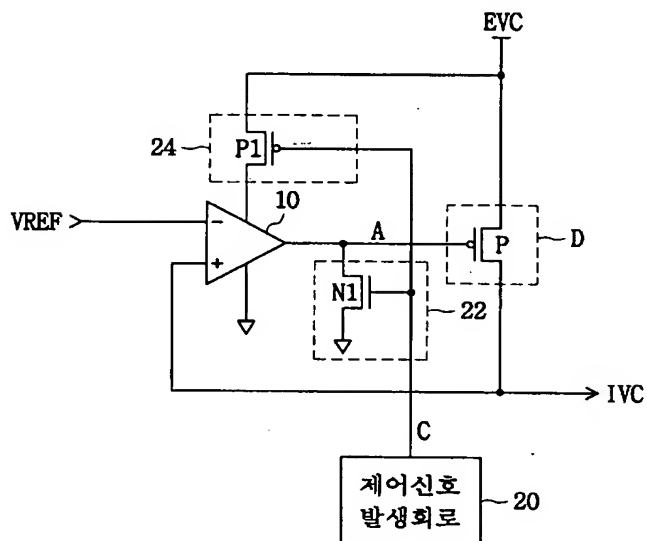
모드 설정 명령과 함께 모드 설정 신호를 입력함에 의해서 상기 제어신호를 활성화 또는 비활성화하는 것을 특징으로 하는 반도체 장치의 내부 전압 발생회로.

【도면】

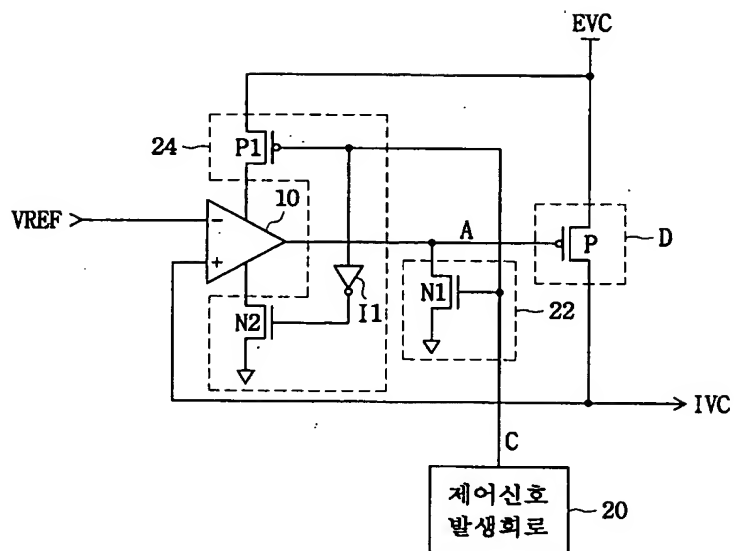
【도 1】



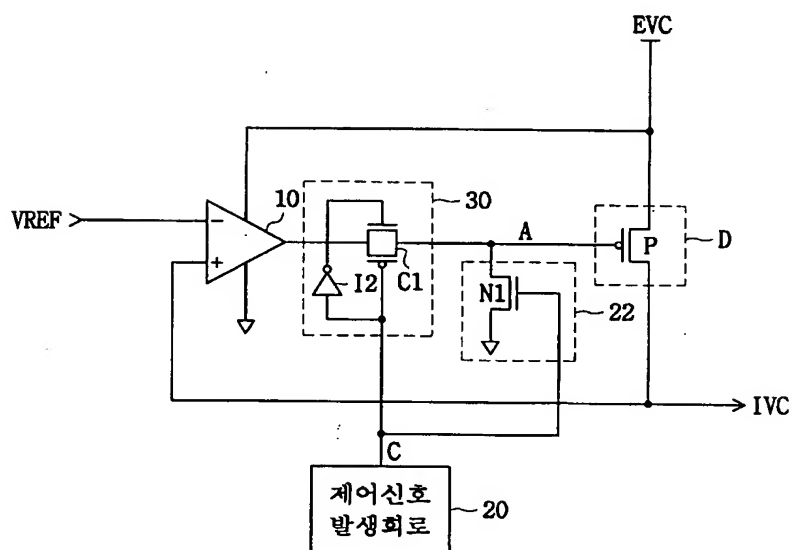
【도 2】



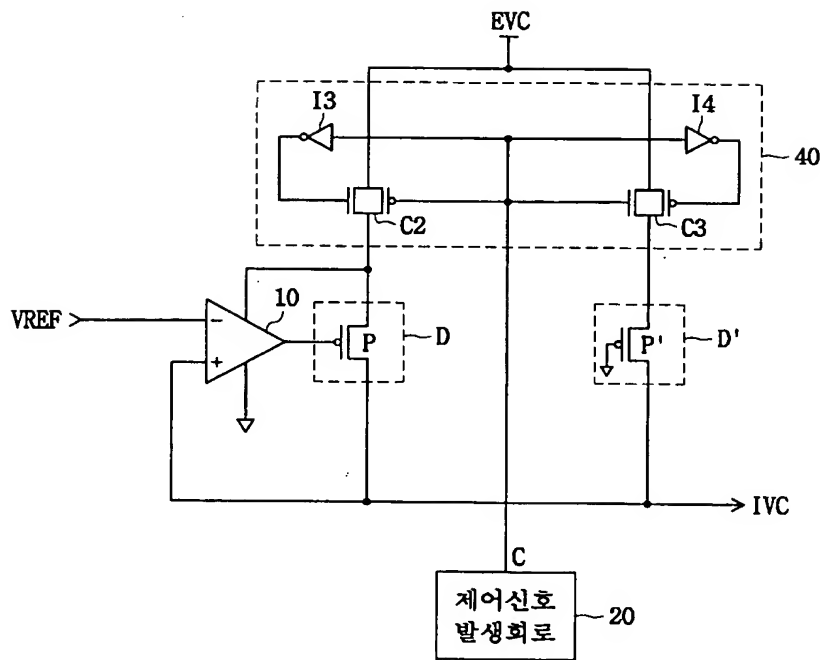
【도 3】



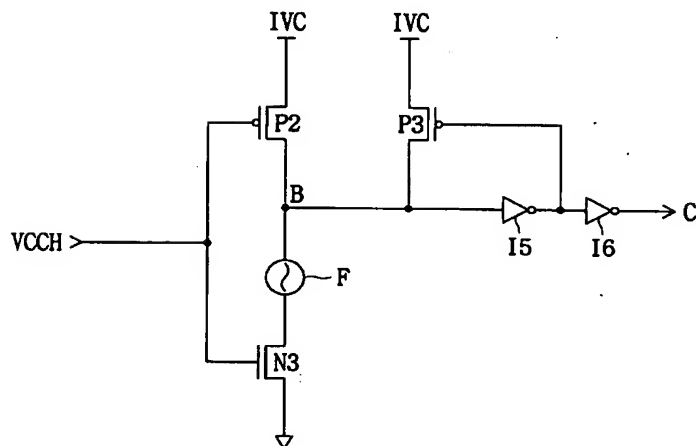
【도 4】



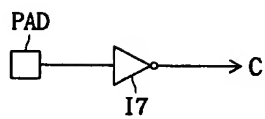
【도 5】



【도 6】



【도 7】



【도 8】

